

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-088615

(43)Date of publication of application : 03.04.1989

(51)Int.Cl.

G06F 1/00
G06F 15/06

(21)Application number : 62-245662

(71)Applicant : NEC CORP

(22)Date of filing : 29.09.1987

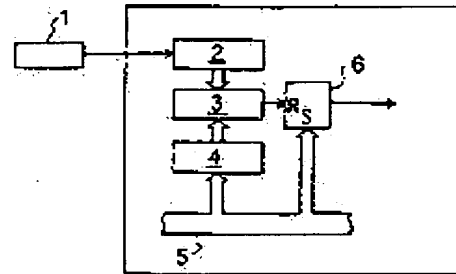
(72)Inventor : HOSOGOE SHIGEKI

(54) STAND-BY CONTROL CIRCUIT FOR MICROCOMPUTER

(57)Abstract:

PURPOSE: To control the stand-by states of plural slave CPUs independently of each other through a single control line by providing a function to release a stand-by state in case a received signal and a prescribed signal coincide with each other.

CONSTITUTION: A serial signal 1 is received by a serial signal reception register 2, and inputted to the comparison input of a comparator 3. A register 4 for comparison receives a preliminarily set signal to be compared with the serial signal from an internal bus 5, and inputs this signal to the other comparison input of the comparator 3. The comparator 3 compares the received serial signal and this output signal of the register 4 with each other, and only in case the two signals coincide with each other, resets a stand-by control flip-flop to release the stand-by state. As a result, a master CPU can control the stand-by states of plural slave CPUs through only one control terminal and control line.



1000 1000 1000 1000

1000 1000 1000 1000

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-88615

⑬ Int.Cl.⁴

G 06 F 1/00
15/06

識別記号

3 7 0
3 2 0

庁内整理番号

Z-7459-5B
P-7343-5B

⑭ 公開 昭和64年(1989)4月3日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 マイクロコンピュータのスタンバイ制御回路

⑯ 特 願 昭62-245662

⑰ 出 願 昭62(1987)9月29日

⑱ 発 明 者 細 越 茂 基 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 越 場 隆

明 細 書

1. 発明の名称

マイクロコンピュータのスタンバイ制御回路

2. 特許請求の範囲

予め設定された所定の信号パターンを記憶する手段と、該信号パターンを含み得るシリアル信号の受信手段と、該受信手段の受信した信号パターンと前記所定の信号パターンとを比較する比較手段と、該比較手段の出力に応じてスタンバイ状態を解除する手段とを備え、前記受信信号と前記所定の信号とが一致した場合にスタンバイ状態を解除する機能を具備することを特徴するマイクロコンピュータのスタンバイ制御回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、マイクロコンピュータのスタンバイ制御回路に関するものである。

従来の技術

第2図は、従来のマイクロコンピュータのスタンバイ制御の構成を示す回路図である。

図示の回路において、割込信号7は、スタンバイ可否かを制御するセットリセット型フリップフロップ6のリセット入力に接続されている。内部バス5は、フリップフロップ6のセット入力に接続されている。

以上のように構成されるスタンバイ制御回路は、次のように動作する。

割込信号7は、スタンバイ制御フリップフロップ6のリセット入力に入力されて、該フリップフロップをリセットする。こうして、スタンバイ状態が解除される。

第4図は、上述のようなスタンバイ制御回路の応用回路の一例を示す回路図である。

図示の回路において、マスタCPU8は、3つの制御線を備え、各制御線にはスレーブCPU9の入力がそれぞれ接続されている。

このようなマルチCPU構成の回路では、マス

タCPUは、複数のスレーブCPUのスタンバイあるいはその解除を、互いに独立した制御線によって行っていた。

発明が解決しようとする問題点

従来のスタンバイ制御回路を用いたシステムでは、複数のスレーブCPUのスタンバイ状態を複数の制御線を介してそれぞれ制御する必要があった。従って、これを制御するメインCPUの制御端子数が増加し、スタンバイ制御回路のハードウェア上の負担が大きかった。

そこで、本発明は、単一の制御線によって、複数のスレーブCPUのスタンバイ状態を独立して制御することが可能な、新規スタンバイ制御回路を提供せんとするものである。

問題点を解決するための手段

すなわち、本発明によるならば、予め設定された所定の信号パターンを記憶する手段と、該信号パターンを含み得るシリアル信号の受信手段と、

ることができる。

実施例

以下添付図面を参照して、本発明のスタンバイ制御回路の実施例を説明する。

第1図は、本発明のスタンバイ制御回路の1実施例の構成を示す回路図である。

図示の回路において、シリアル信号1は、受信レジスタ2の入力に接続され、受信レジスタ2の出力は比較器3の比較入力に接続され、更に比較器3の一致信号出力は、スタンバイ制御を行うSRフリップフロップ6のリセット側に接続されている。一方、比較器3の他方の比較入力には比較用レジスタ4が結合されており、内部バス5が比較用レジスタ4とスタンバイ制御用フリップフロップ6に結合されている。尚、内部バス5はフリップフロップ6のセット側に接続されている。

以上のように構成されるスタンバイ制御回路は、次のように動作する。

シリアル信号1は、シリアル信号受信レジスタ

特開昭64-88615 (2)

該受信手段の受信した信号パターンと前記所定の信号パターンとを比較する比較手段と、該比較手段の出力に応じてスタンバイ状態を解除する手段とを備え、前記受信信号と前記所定の信号とが一致した場合にスタンバイ状態を解除する機能を具備することを特徴するマイクロコンピュータのスタンバイ制御回路が提供される。

作用

本発明のスタンバイ制御回路は、シリアル信号を受信して、その受信信号パターンに対応してスタンバイ状態を解除するその構成を主要な特徴としている。

すなわち、本発明のスタンバイ制御回路においては、シリアルインターフェース機能を用いているので、予め設定されたシリアル信号を受信した場合にのみスタンバイ状態が解除される。従って、マスタCPUは、唯一本の制御端子並びに制御線によって本発明のスタンバイ制御回路を組込んだ複数のスレーブCPUのスタンバイ状態を制御す

2に受信され、比較器3の比較入力に入力される。比較用レジスタ4は、シリアル信号と比較すべき予め設定された信号を内部バス5から受けて、この信号を比較器3の他方の比較入力に入力する。比較器3は、受信シリアル信号と比較用レジスタ4の出力信号とを比較して、2つの信号が一致した場合にのみ、スタンバイ制御フリップフロップをリセットしてスタンバイ状態を解除する。

第3図は、本発明のマイクロコンピュータの応用回路の1実施例の構成を示す回路図である。

図示の回路において、マスタCPU8は、1つの制御端子を備えており、該制御端子に接続する制御線は3つに分岐して、それぞれ3つの本発明のスタンバイ制御回路を組込んだスレーブCPUの入力に接続されている。このようにマスタCPUは、複数のスレーブCPUのスタンバイ状態を、1つの制御端子で独立してコントロールすることができる。

特開昭64-88615(3)

発明の効果

以上説明したように、本発明のマイクロコンピュータのスタンバイ制御回路によれば、マスタCPUは、複数のスレーブCPUのスタンバイ状態を、1つの制御端子で独立してコントロールすることができる。

したがって、本発明によるマイクロコンピュータのスタンバイ制御回路は、広い範囲にわたって活用することができる。

4. 図面の簡単な説明

第1図は、本発明のマイクロコンピュータのスタンバイ制御回路の1実施例の構成を示す回路図であり、

第2図は、従来のマイクロコンピュータのスタンバイ制御回路の構成を示す回路図であり、

第3図は、従来のマイクロコンピュータの応用回路の構成を示す回路図であり、

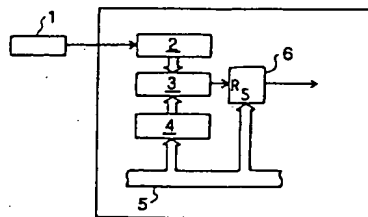
第4図は、本発明のマイクロコンピュータの応用回路の1実施例の構成を示す回路図である。

〔主な参照番号〕

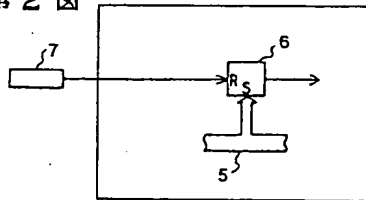
- 1・・・シリアル信号、
- 2・・・シリアル信号受信レジスタ、
- 3・・・比較器、
- 4・・・比較用レジスタ、
- 5・・・内部バス、
- 6・・・スタンバイ制御フリップフロップ、
- 7・・・割込信号、
- 8・・・マスタCPU、
- 9・・・スレーブCPU

特許出願人 日本電気株式会社
代理人 弁理士 越 堀 隆

第1図

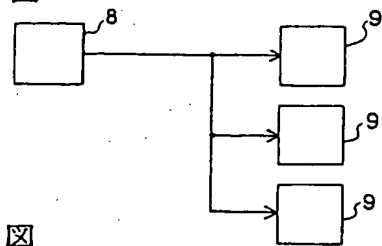


第2図

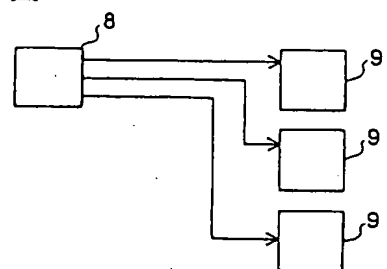


- | | |
|------------|---------------------|
| 1・・・シリアル信号 | 2・・・シリアル信号受信レジスタ |
| 3・・・比較器 | 4・・・比較用レジスタ |
| 5・・・内部バス | 6・・・スタンバイ制御フリップフロップ |
| 7・・・割込み信号 | |

第3図



第4図



- | |
|-------------|
| 8・・・マスタCPU |
| 9・・・スレーブCPU |

THIS PAGE BLANK (USPTO)